

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-93239

(43) 公開日 平成9年(1997)4月4日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L	7/08		H 0 4 L	D
	7/033			B

審査請求 有 請求項の数 2 O L (全 5 頁)

(21) 出願番号 特願平7-244693

(22) 出願日 平成7年(1995)9月22日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 門脇 真

東京都港区芝五丁目7番1号 日本電気株式会社内

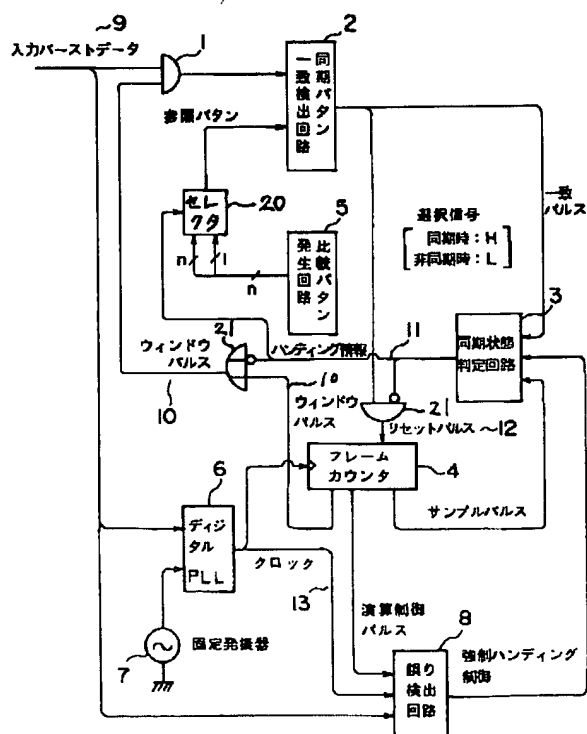
(74) 代理人 弁理士 後藤 洋介 (外2名)

(54) 【発明の名称】 バーストフレーム同期回路

(57) 【要約】

【課題】 非同期状態から同期状態への遷移時間と、同期状態からハンディング状態への遷移時間を短縮する事で断時間を短縮する。

【解決手段】 同期パタン一致検出回路2と、同期状態判定回路3と、真の同期パタンと該真の同期パタンに誤りを許容したハミング距離nのパタンを発生する比較パタン発生回路5と、同期状態判定回路3が同期状態出力時にnパタンの比較パタンを選択し、非同期時には真の同期パタンの1パタンのみを選択するセクタ15と、同期時にデータの同期パタンを含む領域のみを通過させるウィンドウパルス10を生成するフレームカウンタ4と、非同期時には全時間領域を通過させるゲート21と、同期状態において誤りが多発すると新同期位相検索モードへ強制移行させる誤り検出回路8と、フレームカウンタ4を動作させるクロックを供給するデジタルPLL6と、デジタルPLL6に基本クロック源を供給する固定発振器7とを有している。



1

【特許請求の範囲】

【請求項 1】 同期パターン一致検出回路と、同期状態判定回路と、真の同期パターンと該真の同期パターンに誤りを許容したハミング距離 n のパターンを発生する比較パターン発生回路と、前記同期状態判定回路が同期状態出力時に n パタンの比較パターンを選択し、非同期時には真の同期パタンの 1 パタンのみを選択する選択手段と、同期時にデータの同期パターンを含む領域のみを通過させるウィンドウパルス生成するフレームカウンタと、非同期時には全時間領域を通過させるゲートと、同期状態において誤りが多発すると新同期位相検索モードへ強制移行させる誤り検出回路と、前記フレームカウンタを動作させるクロックを供給するデジタル PLL と、該デジタル PLL に基本クロック源を供給する固定発振器とを有することを特徴とするバーストフレーム同期回路。

【請求項 2】 同期パターン一致検出回路と、同期状態判定回路と、真の同期パターンと該真の同期パターンに誤りを許容したハミング距離 n のパターンを発生する比較パターン発生回路と、前記同期状態判定回路が同期状態出力時に n パタンの比較パターンを選択し、非同期時には真の同期パタンの 1 パタンのみを選択する選択手段と、同期時にデータの同期パターンを含む領域のみを通過させるウィンドウパルス生成するフレームカウンタと、非同期時には全時間領域をフレーム同期パターンを検索するために全時間領域を通過させるゲートと、前記フレームカウンタを動作させるクロックを供給するデジタル PLL と、該デジタル PLL に基本クロック源を供給する固定発振器とを有することを特徴とするバーストフレーム同期回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はバースト多重伝送方式に関し、特にバースト多重伝送方式に用いるバーストフレーム同期回路に関する。

【0002】

【従来の技術】従来のバーストフレーム同期回路は、図 2 に示すように、ある決められた固有のビット列パターンと同一パターンを入力データ中に検出すると一致パルスを出し、検出出来ないと不一致パルスを出し、同期パターン一致検出回路 19 と、決められたタイミングで一致パルスを読み込んで、後方保護段数分連続一致パルスを認識出来れば同期情報 16 を出力し、不一致パルスの場合には該不一致パルスにより回路が初期化される後方保護回路 14 と、前方保護段数分連続不一致パルスを認識出来れば非同期情報 17 を出力し、一致パルスの場合には該一致パルスにより回路が初期化される前方保護回路 15 と、前記同期情報 16、前記非同期情報 17 及び一致パルスとからハンティング情報 11 を出力する同期状態判定回路 18 と、バーストフレーム同期をカウントし前記同期パターン一致検出回路 19 から出力される一致パ

2

ルスと不一致パルスのサンプリングパルス及び入力バーストデータ 9 から同期パターンを特定範囲でのみ監視するためのウィンドウパルス 10 を生成するフレームカウンタ 4 と、該フレームカウンタ 4 を動作させるクロック 13 を生成するデジタル PLL 6 と、該デジタル PLL 6 に基本クロック源を供給する固定発振器 7 とを有している。尚、1 は入力データイネーブルゲート、12 はリセットパルスを示す。

【0003】

【発明が解決しようとする課題】この従来のバーストフレーム同期回路では、何回かのバーストフレームを監視して同期状態への遷移を行うために、瞬断からの回復に時間を要するという問題点があった。特に、バーストフレーム同期が長くなる程、断時間が長くなるため、問題視されざるを得なかった。

【0004】本発明の目的は、非同期状態から同期状態への遷移時間と、同期状態からハンティング状態への遷移時間を短縮することで、上述した断時間を短縮することが可能なバーストフレーム同期回路を提供することにある。

【0005】

【課題を解決するための手段】本発明によれば、同期パターン一致検出回路と、同期状態判定回路と、真の同期パターンと該真の同期パターンに誤りを許容したハミング距離 n のパターンを発生する比較パターン発生回路と、前記同期状態判定回路が同期状態出力時に n パタンの比較パターンを選択し、非同期時には真の同期パタンの 1 パタンのみを選択する選択手段と、同期時にデータの同期パターンを含む領域のみを通過させるウィンドウパルス生成するフレームカウンタと、非同期時には全時間領域を通過させるゲートと、同期状態において誤りが多発すると新同期位相検索モードへ強制移行させる誤り検出回路と、前記フレームカウンタを動作させるクロックを供給するデジタル PLL と、該デジタル PLL に基本クロック源を供給する固定発振器とを有することを特徴とするバーストフレーム同期回路が得られる。

【0006】また、本発明によれば、同期パターン一致検出回路と、同期状態判定回路と、真の同期パターンと該真の同期パターンに誤りを許容したハミング距離 n のパターンを発生する比較パターン発生回路と、前記同期状態判定回路が同期状態出力時に n パタンの比較パターンを選択し、非同期時には真の同期パタンの 1 パタンのみを選択する選択手段と、同期時にデータの同期パターンを含む領域のみを通過させるウィンドウパルス生成するフレームカウンタと、非同期時には全時間領域をフレーム同期パターンを検索するために全時間領域を通過させるゲートと、前記フレームカウンタを動作させるクロックを供給するデジタル PLL と、該デジタル PLL に基本クロック源を供給する固定発振器とを有することを特徴とするバーストフレーム同期回路が得られる。

【0007】

【発明の実施の形態】以下、本発明の実施例に係るバーストフレーム同期回路について図面を参照して説明する。

【0008】図1は、本実施例に係るバーストフレーム同期回路を示すブロック構成図である。上述した図2に示した従来のバーストフレーム同期回路と同様の部分には同一の参照符号を示してある。

【0009】即ち、本実施例のバーストフレーム同期回路は、同期パタン一致検出回路2と、同期状態判定回路3と、真の同期パタンと該真の同期パタンに誤りを許容したハミング距離nのパタンを発生する比較パタン発生回路5と、同期状態判定回路3が同期状態出力時にnパタンの比較パタンを選択し、非同期時には真の同期パタンの1パタンのみを選択するセレクタ20と、同期時にデータの同期パタンを含む領域のみを通過させるウィンドウパルス10を生成するフレームカウンタ4と、非同期時には全時間領域を通過させるゲート21と、同期状態において誤りが多発すると新同期位相検索モードへ強制移行させる誤り検出回路8と、フレームカウンタ4を動作させるクロックを供給するデジタルPLL6と、デジタルPLL6に基本クロック源を供給する固定発振器7とを有している。

【0010】図1において、本実施例のバーストフレーム同期回路は、周期的なバーストフレーム信号中からフレーム同期用ユニークパタンを検出し、バーストフレームの先頭位相を認識する。

【0011】非同期中、フレーム同期用ユニークパタンのみを正規の同期パタンとして認識する。

【0012】また引込時の時間短縮のために後方保護無としている。この場合、データ中のビット列で形成されるパタンを同期パタンと誤認識する確率が高くなるため、誤り検出回路で検出される誤り率が非常に高い場合に同期状態を強制的にハンティング状態へ遷移させる。

【0013】基本的にバーストフレームではフレームの先頭以前は空時間領域の為、誤同期確率は低いと考えられる。

【0014】一方、同期中は伝送路誤りで簡単に同期が外れないように、正規の同期パタンからn個の誤り迄許容したパタンを同期パタンと認識させている。

【0015】このように、本実施例のバーストフレーム同期回路では、同期引込時にはバーストフレームの特徴を利用して、後方保護無で同期を引込み、引込後（同期時）誤り検出回路出力の強制ハンティング制御によって誤同期を回避している。

【0016】

【発明の効果】以上説明したように、本発明のバーストフレーム同期回路は、同期パタン一致検出回路と、同期状態判定回路と、真の同期パタンと該真の同期パタンに誤りを許容したハミング距離nのパタンを発生する比較

パタン発生回路と、前記同期状態判定回路が同期状態出力時にnパタンの比較パタンを選択し、非同期時には真の同期パタンの1パタンのみを選択する選択手段と、同期時にデータの同期パタンを含む領域のみを通過させるウィンドウパルスを生成するフレームカウンタと、非同期時には全時間領域を通過させるゲートと、同期状態において誤りが多発すると新同期位相検索モードへ強制移行させる誤り検出回路と、前記フレームカウンタを動作させるクロックを供給するデジタルPLLと、該デジタルPLLに基本クロック源を供給する固定発振器とを有し、同期引込時にはバーストフレームの特徴を利用して、後方保護無で同期を引込み、引込後（同期時）誤り検出回路出力の強制ハンティング制御によって誤同期を回避している。

【0017】従って、本発明のバーストフレーム同期回路においては、迅速な同期回復を実現することが可能である。

【0018】また、同期中は誤り訂正を用いて誤同期外れの確率を低減するとともに、前方保護無でハンティングに移行するため、真の位相への移行時間を短縮している。

【0019】以上により、非同期状態から同期状態への遷移時間と、同期状態からハンティング状態への遷移時間を短縮することで、上述した断時間を短縮し得るバーストフレーム同期回路を提供することができる。

【図面の簡単な説明】

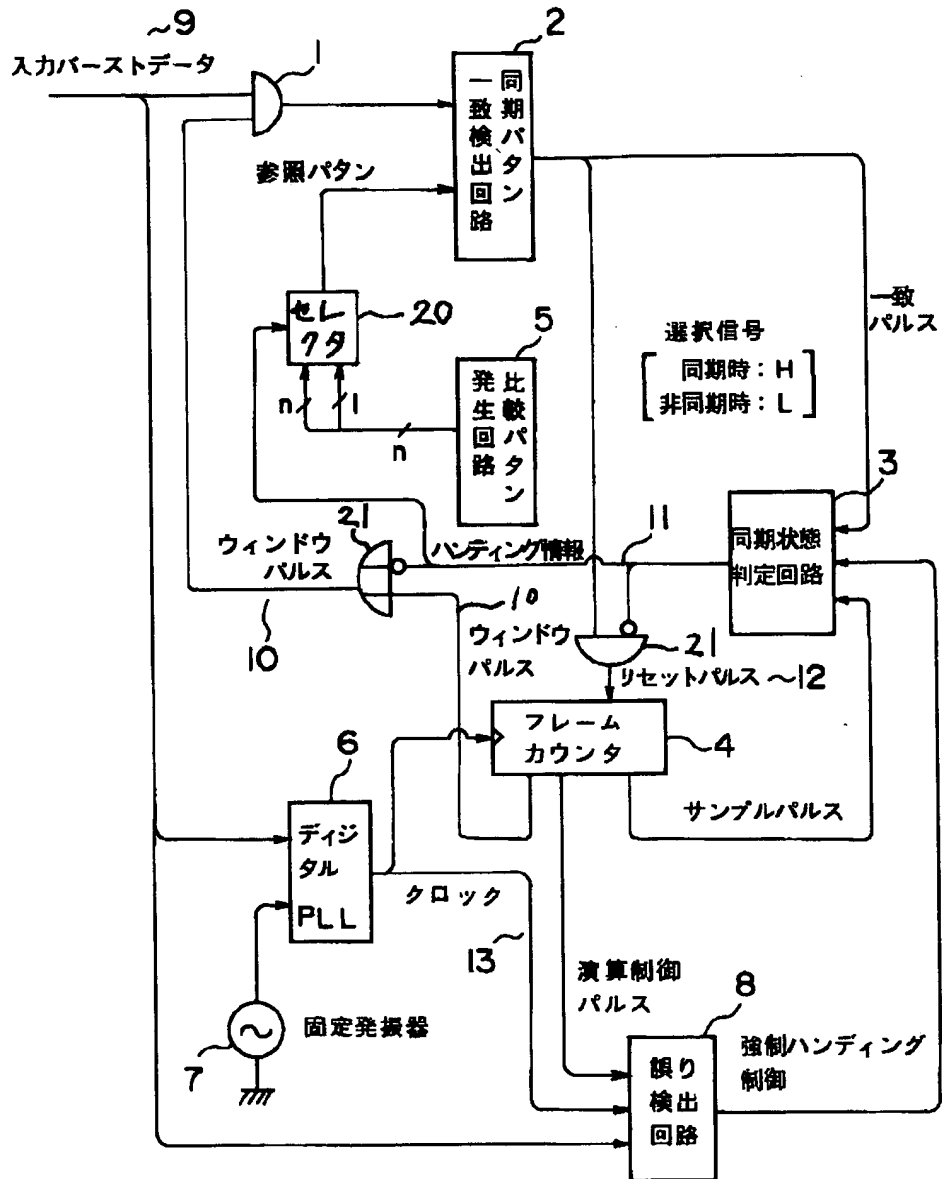
【図1】本発明の実施例に係るバーストフレーム同期回路を示すブロック構成図である。

【図2】従来のバーストフレーム同期回路を示すブロック構成図である。

【符号の説明】

- 1 入力データイネーブルゲート
- 2 同期パタン一致検出回路
- 3 同期状態判定回路
- 4 フレームカウンタ
- 5 比較パタン発生回路
- 6 デジタルPLL
- 7 固定発振器
- 8 誤り検出回路
- 9 入力バーストデータ
- 10 ウィンドウパルス
- 11 ハンティング情報
- 12 リセットパルス
- 13 クロック
- 14 後方保護回路
- 15 前方保護回路
- 16 同期情報
- 17 非同期情報
- 18 同期状態判定回路
- 19 同期パタン一致検出回路

【図1】



【図2】

